

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 08032040

(43) Date of publication of application:

02.02.1996

(51) Int.CI.

H01L 27/12 H01L 27/08 H01L 29/786

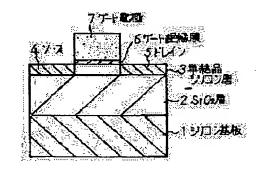
(21)Application number: 06162316 (71)Applicant: NEC CORP

(22)Date of filing: 14.07.1994 (72)Inventor: YOSHINO AKIRA

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To restrain a depletion layer from excessively stretching in an SOI integrated circuit, by forming an insulator thin film and a silicon thin film, in order on a silicon substrate containing at least one kind of impurity element of a specified concentration. CONSTITUTION: An SiO2 layer 2 as an insulating layer is formed on a high concentration P-type silicon substrate containing P-type impurity element whose concentration is 1×1017cm-3 or higher, e.g., 1019cm-3 or higher. A single crystal silicon layer 3 is formed on the layer 2. By using an ordinary manufacturing process, an NMOS transistor is formed on the single crystal silicon layer 3. The source 4 and the drain 5 of the transistor are formed inside the silicon layer 3. The gate insulating film 6 and the gate electrode 7 are formed on the surface of the silicon layer 3. Since the P-type impurity concentration of the silicon substrate



1 is high, a depletion layer does not stretch toward the silicon substrate 1 side when the voltage of the drain 5 increases.

THIS PAGE BLANK (USPTO)

(16)日本日格常庁 (JP)

€ 辍 ধ 計 华 噩 4 

特開平8-32040

(11) 松幹出股公別毎年

(43)公開日 平成8年(1996)2月2日

(51) ln(Cl.*	4001829	户内数理番号	F 1		技術数示箇所
H01L 27/12	2				
80/12	331 E				
29/186					
		9056-4M	H01L 29/78	311 G	ဗ
		9056-4M		311 C	ပ
			推放配水 名	観状頃の数8	

(21)出版等中	特國平6-162316	(71)出四人	(71) 出版人 000004237
(22) 出版日	平成6年(1994)7月14日		日本電気株式会社 東京都總区芝五丁目7番1号
		(72) 発明者	は 本
			果果奶奶吃了工厂的一个一个一个是我们的一个是我们们会让我们
	-	(74)代理人	(74)代理人 弁理士 京本 直路 (外2名)

æ

## 半等存货管 (34) [完明]の名称]

[32] [34]

[目的] 完全空乏化型SOIトランジスタのしきい値間 王のSiO,松下邸に存在するシリコン店板の電位変化 に対する変動を防止することにある。

とシリコン基板1との界面近傍の所盤の位置に、1×1 [構成] 本発明のS O 1 粒半導体装置は、S i O, 路 2 0 17c m-1という比較的減度の高い不純物鉱液がは11 0388AT5.

-2502層 7-1-新發版 アー関係 Y-/. 7

[特許請求の範囲]

前記シリコン基板は少なくとも一種類の不純物元素を含 【請求項1】 シリコン基板の上に形成された絶縁体制 質と、この絶縁体薄膜上に形成されたシリコン薄膜とを 作し、かりかかる不落物に桜の緑板が1×1012cm-1 有する構造を有する基板を備えた半導体装置において、 以上である耶を特徴とする半導体装置。 【精水項2】 前記シリコン基板はその不純物元素の遺 度が1×10½cm-1よりも低い第1の部分と前記絶縁 体薄膜と前記シリコン基板との界面近傍に設けられ不純 物元素の濃度が1×10 11c m 1以上である第2部分と を有する精束項1記載の半導体装置。

ンが形成されるシリコン薄膜の部分の道下にある前記絶 緑体障域と前記シリコン基板との界面近傍のシリコン基 反に前記第2,の部分が設けられている開来項2記録の 【構来項3】 前記シリコン薄膜にMOS型トランジス タが形成され、このトランジスタのソースおよびドレイ

ある前記絶縁体薄膜と前記シリコン基板との界面近傍の シリコン基板に前記第2の部分が投けられている構次項 【構水項4】 - 前記シリコン薄膜にMOS型トランジス タ が形成され、このトランジスタのゲート電極の直下に 2 記載の半導体装置。

[静水頂5] - 精氷頂1 記載の半導体装置において、シ Jコン基板は主たる不純物元素がボロンなどのp型不純 タ領域値下のシリコン基板の第一の特定領域が含有する MOSトランジスタのゲート電極低下にある絶縁体制数 とり型シリコン基板との昇面近傍のり型シリコン基板の 体気の領域が合作するボロンなどのレ烈不純物定案の議 リンなどのn型不純物元素の濃度が、p型シリコン基板 が含有するロ型不純物元素の濃度よりも高く、この第一 のn型特定領域と絶縁体階膜との界面近傍にあり、かつ PMO Sトランジスタのゲート電極の値下及びその近傍 にある第二の特定領域が含有するリンなどのn型不純物 物であり、その濃度が1×10 <sup>17</sup>c m <sup>-1</sup>以下であり、N 型シリコン基板と第一のn型特定領域の単位が各々、あ 【請求項6】 請求項1記載の半導体装置において、シ リコン基盤が含有する主たる不純物元素がリンなどのn り、PMOSトランジスタのゲート価格値下にある絶縁 体部版とn型シリコン基板の界面近傍のn型シリコン基 版の特定の領域が含有するリンなどのn型不純物元素の るポロンなどのp 型不純物元素の濃度がn 型シリコン基 版が含有するn型不純物元素の濃度よりも高く、この第 度が1×10Pcm-以上であり、PMOSトランジス 沢米の温度が1×101cm・1以上であり、からに、p 型不純物であり、その濃度が1×10 17c m ¹以下であ スタ領域直下のシリコン基板の第一の特定領域が含有す る一定値に固定されている事を特徴とする半導体装置。 **濃度が1×101cm-1以上であり、NMOSトランツ** 

つNMOSトランジスタのゲート電極の値下及びその近 的にある第二の特定領域が含有するボロンなどのp型不 11、 n型シリコン基板と第一のp型特定領域の電位が各 々、ある一定値に固定されている事を特徴とする半導体 院物元素の減度が1×101cm-1以上であり、さら

【精次項7】 構次項1記載の半導体装置において、シ リコン基板が含有する不純物元素がポロンなどのD型不 NMO S トランジスタのソース・ドレイン領域下部にあ る絶縁体制版とり型シリコン基板の界面近傍のり型シリ コン基板の特定の領域が含有するボロンなどのp型不純 この第一の5数な河波はあるななのは、日本のの一のこれが 下部にある第二の特定領域が含有するリンなどのn盤不 り、かつ P M O S トランジスタのソース・ドレイン結構 に、p型シリコン基板と第一のn型特定領域の単位が各 々、ある一定値に固定されている事を特徴とする半導体 **初元素の濃度が1×10<sup>17cm−1</sup>以上であり、PMOS** トランジスタ領域直下のシリコン基板の第一の特定領域 コン基板が含有するロ型不純物元素の過度よりも高く。 純物であり、その濃度が1×10 <sup>11</sup>c m <sup>-1</sup>以下であり、 が含有するリンなどの『型不純物元素の濃度が『型シ 純物元素の濃度が1×10 ººc m ·リ以上であり、さら

リコン仏板が合作する不規物元素がリンなどのn型不純 MOSトランジスタのシース・ドレイン経済下部にある 絶縁作得数とn型シリコン基数の界面近傍のシリコン基 仮の特定の前度が含有するリンなどのn型不純物元素の [請求項8] 請求項1記載の半導体装置において、シ **基板が含有する n 型不純物元素の濃度よりも高く、この** にある第二の特定領域が含有するボロンなどのり型不純 るポロンなどのり型不純物元素の濃度が、n型シリコン 物であり、その遺僕が1×10<sup>17</sup>cm<sup>-1</sup>以下であり、P 減度が1×10 Pcm-リス上であり、NMOSトランジ スタ前は低下のシリコン基板の第一の特定前域が合作す 第一のp型特定領域と超縁体薄膜との界面近傍にあり、 かつNMOSトランジスタのシース・ドレイン領域下目 n型シリコン基板と第一のp型特定領域の電位が各々 ある一定値に固定されている事を特徴とする半導体装 砂光光の道度が1×101cm1以上であり、さらに、

[条明の詳細な説明]

[000]

【産業上の利用分野】本発明は半導体装置に関し、特に SOI (silicon-on-insulator) 型の半導体装置に関する。

[0002]

[従来の技術] 大規模集積回路の集積度は急速な勢いで 物加している。それに伴って、MOS型集技回路に搭載 5ミクロン以下になっており、研究レベルでは0. 05 されているMOSトランジスタのゲート後はすでにの.

−のp 型特定領域と絶縁体障膜との界面近傍にあり、か

ĉ

3

ミクロンに達している。性能が高く、しから長期信頼性を有する欧細MOSトランジスタを実現するためには、様々な要素を考慮しながら構造の最適化を行なわなければからか。

[0003] MOS型集積回路においてさらに高い集積 度を実現するためには、MOSトランジスタ全体の寸法 するためにはゲート長を短くしなければならないが、ゲ が留若になってしまう。短チャネル効果とは、ゲート長 の減少に伴ってトランジスタのしきい値やソース・ドレ をさらに小さくしなければならない。この寸法を小さく しても電流駆動能力などの基本性能が低下しないように ―ト母の減少と共に「短チャネル効果」と呼ばれる現象 イン関酎圧の値が低下し、サプスレショルド係数の値が ト長の減少に合わせてチャネル部の不純物減度を増加 増加してしまう現象である。この現象を抑制して良好な 特性のトランジスタを実現するために、一般的には、ゲ させなければならない。このような一枚的原則に基づい て数細MOSトランジスタを作製すると、ドレインと点 各生谷量の光故電に要する時間が増加して回路動作速度 が低下してしまう事になる。トランジスタの微細化((株 造の最適化) はこれらの雑間をパランス良く解決しなが ら実験されて来たが、最細加工技術などの製造技術の問 **題や、集積回路システムの設計や収達な回路設計技術の** 問題と共に、トランジスクをさらに破細化して集積度を 仮の間に形成されるD-n接合の容量が増加するため、 向上することは、ますます困難になりつつある。

[0004] 一方、S01 (Silicon-on-insulator) 構造を有する基板 (以下S01基板 上略称する)を用いた集積回路の研究開発は、上記p-n投合容量を延減する事などを目的として行なわれている。

[0005] 図19に、SO1基板の的を示す。過去の単結晶シリコン基板1の上に単様体盤としてSi02 を2が形成され、その上に単結晶シリコン極3が形成された構造になっている。SO1基板の製造技術はすでに確立されている。Si02を2シリコン極3の似きの組み合わせは目的に応じて変わるが、環軸なCMOS回路に適用する場合には、各々100-500nm、30-150nm程度の値が削いられている。トランジスタなどの素子は、このシリコン磁3に形成される。

[0006] 因20にS01基板上に作製されたNMOSトランジスタ (以下NMOS/S01などと略称する)の例を示す。この図に示した例のように、ソース4、ドレイン5となる不純物が耐砂がが5102 超2に適していれば上記p-n接合の容益は5102 磁の容量に置き数わるため、无故電されるべき寄生符品の側は等しく減少する。その格果、回路動作速度が向上し、同時に消費電力も減少する。この様な利点に注目して、S01 基板を川に立場を用いて集積回路の研究開発が行なれている。

という二種類に分類されている。NMOS/SOIやP MOS/SOIのチャネル部のシリコン層に導入する不 純物の濃度とこのシリコン層の厚さが決まると、この不 純物濃度によって決定される空乏層の幅の最大値(最大 空乏楹幅)とチャネル部のシリコン層の厚さの大小関係 が決定される。チャネル部のシリコン層の厚さよりも最 大空乏層幅の方が大きいトランジスタは「完全空乏化型 SOIトランジスタ」と呼ばれ、チャネル部のシリコン 魯の厚さよりも最大空乏階幅の方が小さいトランジスタ る。囚21に、動作状態にある完全空気化型と部分空乏 型の場合(図21~a)にはチャネル領域(チャネル部 のシリコン層)14が完全に空乏化して中性のp型領域 化型のSOIトランジスタを模式的に示す。完全空乏化 (図21-b) にはチャネル領域4のシリコン格が完全 は、その構造から「完全空乏化型」と「部分空乏化型」 は「部分空芝化型SOIトランジスタ」と呼ばれてい こは空乏化しておらず、中性のp型領域25が残ってい 25は残っていないのに対して、部分空乏化型の場合

10008] ドレイン・基板両の容性容量 (ドレイン浴 生容量) を低減できるという SO I構造協行の特徴に加 えて、シリコン協の収さを100 nm程度以下に薄板化 した完全定と低等 SO I ヤンジスタ11、似チャルの 果 (ゲート長の減少に伴うしきい値の低下、サブスレシ ヨールド係数の増加) を効果的に抑制できるという 近要 存存徴を有する事が広く知られており (例えば、大村ほ か、テクニカル ダイジェスト オブ 7イ・イー・デ イー・エム、P. 675、1991年 (Y. Omura et al., Technical Digest of IEDM (International Ele ctron Device Meeting), p. 6 75, 1991])、実用化に向けて多くの研究が行な われている。

【発明が解決しようとする課題】以上説明した様に、完全空乏化盤SOIトランジスタは優れた特徴を有するが、一方、解決されなければならない課題も有している。

[6000]

[0010] すなわち、SOIトランジスタのドレイン 基板間の容生容量 (ドレイン客生容量) の値はドレイ ン電圧が0 Vの時に最も大きく、その値はSiO2 場の 厚さによって決定される。ところが、実際の回路動作に おいてドレイン発性容量が光電される際には、ドレイン 電圧が時間と共に上昇するため、SiO2 福下部のシリ コン基板側には空差層が形成され、SiO2 福上登空差層 が近列接ばされた状態になる。その結果、全体的なドレ イン寄生容量の値はドレイン電圧の上昇と共に減少す あった。

【0011】 図22に、完全登乏化型NMOS/S01 トランジスタのドレインに電源電圧が印加されて、p型

[0007] SO1 塩仮上に作製されるトランジスタ

のシリコン基板頭に空之層 13 が形成されている状態を 概念的に示す。空之層の形成状態 (間位分布) は、 Si O2 層の厚さやフラットパンド単圧、シリコン基板の不 純物速度分布、及び電源電圧などに依存するが、トラン ジスタの性能や回路動作性能の拠点から、不必要に厚い SiO2 層を用いるよりは、むしろ SiO2 層の厚さと 基板の不純物速度を共に低く設定した方が望ましいとい う場合が生じる。トランジスタ性能と SiO2 層の厚さ 本板の不純物速度を共に低く設定した方が望ましいとい う場合が生じる。トランジスタ性能と SiO2 層の厚さ エム、D。 67 S、1991年 [Y. Omura et al., Technical Digest of IEDM (International Electron Device Meeting), p. 67

F容量と登乏化したシリコン層の容量に加えて、5:0 2 母の容量が値列接載された状態になる。従って、完全 **空乏化型SOIトランジスタのしきい前花圧などの基本** の単位変化に対して非常に敏盛になる。例えば、シリコ ン基板がp 型の場合にこのシリコン基板の電位を 0 V か ら負方向に変化させると、完全空乏化型NMOS/SO 1トランジスタのしきい値電圧は増加し(リムほか、ア 電圧の増加と共にシリコン層内部に空乏層が広がり、そ れがSiO2層に到達するとトランジスタの容量はゲー [H. K. Lim and J. G. Fossum, I EEE Transactions on Elect (1983) ])、チャネル移動度は低下する (メイヤ パラメータは、Si02番下部に存在するシリコン場仮 ronDevices, ED-30, p. 1244 エレクトロン デバイシズ、ED-37, p. 128 【0012】 一方完全空乏化型SOIトランジスタで は、ゲート祖圧がしきい伯祖圧以下の領域では、ゲー) 一、アイ・イー・イー・イー、トランザクションズオン 0 (1990) [Mayer IEEE Transa ctions on Electron Device その桔果、ドレイン、ゲート、ソースのバイアス条件が 同じ場合には、電流駆動能力は基板電位(負)の絶対値 の増加と共に低下する。図22に示したような状態にお けるトランジスタのしきい値電圧は、空乏塔が形成され ていない場合や、空乏層が形成されてもこれがチャネル [0013] 図23は、寄生容量Cに充電されていた電 ED-37. p. 1280 (1990)]), イ・イー・イー・イー、トランザクションズ オン レクトロンデバイシズ、p 1 2 4 4 (1 9 8 3) 、 下部を広くは覆っていない場合の値よりも高くなる。

下部を広くは覆っていない場合の値よりも高くなる。 【0013】図23は、寄生容量Cに充電されていた間 荷が、直列接接された微細NMOSトランジスタAとB を介して被電される過程を概念的に示している。トラン ジスタ AのソースとトランジスタBのドレインは共通で ある。シリコン基板の不純物濃度は傾えば1×10<sup>15</sup>C m・1程度でもり、トランジスタAとBのゲート電揺には

共にハイレイベルの信号が入力されているものとする。この回に示した状態では、トランジスタAのドレイン5下部のシリコン基板に形成された空Z程13がトランジスタAのドレイン5メタAのドロイン5メAを13がトランジスタBのドレイン(トランジスタAの)ース4)の電位が上昇した事によって形成された空Z程23がトランジスタAとBのドレイン(トランジスタAの)ース4)の電位が上昇した事によって形成された空Z程23がトランジスタAとBのチャネル領域下部にまでがっている。このような場合、トランジスタAとBは、実効的に負の基板バイアスが印加された状態になっているため、シリコン基板1が完全に根地されている場合が、シリコン基板1が完全に根地されている場合での、シリコン基板1が完全に根地されている場合での、シリコン基板1が完全に根地されている場合であっている場合)に比べてしまい値電圧が高くなり、チャネル移動体が低くなる。その結果、電流駆動能力が低下してが生谷量の枚両に要する時間が长くなり、日始動作が低下してしまう。

【課題を解決するための手段】本発明の目的はSO1型 集積回路における空芝猫の過剰を広がりを抑制した半線 体表置を提供することにある。かかる目的のために、本 発明のSO1型半導体装置は、SiO2 幅とシリコン基 板との界面近傍の所望の位置に、1×10<sup>12</sup>cm-1以と という比較的濃度の高い不純物鉱散領域を有している。 [0015]

【実施的】次に本発明について図面を参照して説明す。

【0016】図1は本発明の第一の実施例を示す半導体 ン基板1の上に絶棒階として填さ400mm程度のS; 僕の単格晶シリコン瘤3が形成されている。このシリコ ソスタが形成されている。トランジスタのソース4、ド チップ (NMO S / S O I) の断面図である。10 º c m -J以上のp型不純物元素を含有する高濃度p型シリコ 0 , 増2が形成されており、その上に厚さ100m桁 ト絶縁膜6とゲート電極ではシリコン陽3の表面に形成 されている。この例では、シリコン基板1の0粒不純物 が含有するり型不純物の濃度は、この濃度と逆方向電圧 ン母3の上に、通常の製造工程を用いてNMOSトラン の濃度が高いため、ドレイン5の電圧が上昇してもシリ コン基板:側には空気増が広がらない。シリコン構板) に依存する空乏癖の幅やトランジスタの寸法などを考慮 して、必要に応じて所望の値に投定すれば良く、この例 で用いた値に限定されるものではないという事は言うま でもない。以下の実施例で示す高濃度不純物領域の不純 物濃度に関しても、全く同様である。さらに、シリコン 基板の高温度不純物がn型の場合にも同様の効果が得ら レイン5はシリコン월3の内部に形成されており、ゲー れる単は甘うまでもない。

いる中におうまくもない。 【0017】このようなSOI基板を作製する方法はすでに確立されているが、その概要を図2を用いて処明す [0018] 不秘物温度の低い単結晶シリコン基板8の

3

设面に所望の厚さのSiO<sub>2</sub> 繰りを形成した後、このSiO<sub>2</sub> 曜2の表面と不純物歳度の高い単結品シリコン基度9の表面を、接合面10で接触させて二枚のシリコン基板8,9を貼り合わせる(工程3)。

[0019]次に、シリコン基板(A)8の不要部分を 研修して削除する事によって、単結晶シリコン協3を形 成する(工程b)。不純物遺便の高いシリコン基板 (B) 9が完成したSOI基板の支持基板となる。

ているため、ドレイン5の祖侄が上昇してもシリコン塩 上に厚さ100nm程度のSiO2幅2が形成されてお り、その上に貸さ50mm程度の単結晶シリコン協3が 形成されている。トランジスタの構造は図1と同じであ る。この例では、SiO2格2とシリコン結板1の岩面 **近1個に空乏層は広がらない。この高温度り整領域11 Ыに形成する事ができる。イオンは入12の加速エネル** ギーは、単枯品シリコン暦3とSiO2M2の厚さを考 [0020] 図3は本発明の第二の実施例を示す半導体 チップ (NMOS/SOI) の新西図である。 通常のp **厚さが500m円程度の高温度p型領域11が形成され** は、図すに示すように過信のイオン注人技術を用いて幹 **感して選択すれば良いため、高温度p型領域11はトラ** 型 (不純物濃度は1013cm-程度) シリコン基板1の 近傍に、10gcm・以上のp型不純物元素を含有し、 ソジスタの製造開始前に容易に形成できる。

n m程度のSiO2 始2が形成されており、その上に厚 コン基板1の米面近傍にのみ、厚さ500m程度の高 は、ソース・ドレインを形成するためのイオン法人を行 は、通常の低減度り型シリコン基板1の上に厚さ100 る。トランジスタ節の構造は図1と同じである。この例 では、ソース4・ドレイン5下部の5102 題2とシリ 温度 p 型領域 1 1 が形成されている。この高温度 p 型領 は11が存在する事により、ドレイン5の祖臣が上昇し れなくなる。この高減度り整領域11は図6に示すよう 人工程において、イオン注入12を用いて容易に形成す る事ができる。図5に示したような801基版の場合に なう向に、ポロンイオン12を80-100keV程度 【0021】図5は本発明の第三の実施例を示す半導体 チップ (NMOS/SOI) の原因因である。 いのぬた てもドレイン下部のシリコン基板1億に登乏層は形成さ に、ソース・ドレインを形成するための道称のイオン法 の加速エネルギーで3×10<sup>15cm-</sup>程度注入する事に さ50mm程度の単枯晶シリコン四3が形成されてい よって、高波度り型領域11を形成できる。

[002] 因7は本発明の労囚の契格的を示す半導体ナップ (NMOS/SOI) の斯団因である。この何では、低温度のも位のション基板1の上に浮き100m程度のSiO2が形成されており、その上に浮き50m程度の単格品シリコン協3が形成されている。トランジスタの構造は包1と同じである。この例では、ケート電視7年的SiO2をシリコン場成1の第

面近傍にのみ、厚さ500m程度の高濃度の整鎖線1 1が形成されている。後って、ドレイン5の車圧が上昇すると、ドレイン下部の不純物濃度の低いシリコン基板 1 個には空2を13が広がるが、チャネル下部には高濃度の 度のp型領域11が存在するため、この空2を13(シリコン基板1個の電位変化)の影響はチャネル領域14 には全く及ばない。この例では、ドレイン5下部には空 2を13が広がるため、第二、第二の実施例の場合よりもドレイン寄生容量をさらに低減できる、という特徴がある。

【0023】図8に、図7に示したトランジスタの製造 I.程の機略を示す。

[0025]高温度P型領域11を形成するためのポロン・イオン性人19と、しきい値電圧を制御するためのポロン・イオン性人19を行なう。イオン性人19の飛程を考慮してVD酸化版17の厚きを設定しておけば、CVD酸化版17がイオン社人19のマスクになるため、イオン社人20によるしきい値電圧の制御は、高温度P型領域11の形成と組立に構度良く行なえる(工

(약화

{00026}フォトレジスト18を除去した後、厚さ10nm程度のゲート絶縁数6を形成し、引き続いて高端度のリンを含有する多結晶シリコン数を推構する。ドライ・エッチング技術を用いて不受部分を除去する事によってゲート電幅?を形成する(工程c)。希敦したフッ位済液でCVD値伝数17を除去した後、加熱したリン性済液を用いて質化数16を除去する。この後は、通常の製造工程に蒸く。

(0027) 因914本発明の第元の実施例を示す半導体ナップの断面図である。第三の実施的と同様に、低減度のPA型のションと放しの上に厚さ100m程度の5 iO2 始2が形成されており、その上に厚さ50m程度の111つのNMOSトランジスタが国列接続されているが、各トランジスタ節の構造は第三の実施的でであり、ソース4・ドレイン5下部の3 iO2 確2とションと接10分半間近傍にのみ、厚さ500m程度の3が減少21部のトランジスタのドレイン5の超圧が上昇しても、ドレイン5下部のションが第一にあった。日にも3、ドレイン5下部のションを20m程と14のトランジスタのアにからない。また、出力強子21間のトランジスタのツ

ース4 (接地端子22個のトランジスタ・ドレイン)の 配位が上昇しても、ソース4の下部のシリコン基板1個 に登乏層は広がらない。従って、シリコン基板1の配位 変動は若しく抑制され、各トランジスタのしきい値電圧 などの基本特性が安定化する。

程度の単結晶シリコン層3が形成されている。この実施 すると、ドレイン5下部の不純物濃度の低いシリコン基 板1個には空芝協13が広がる。また、このトランジス ン)の配位が上昇すると、ソース4の下部の不純物濃度 [0028] 図10は本発明の第六の実施例を示す半導 **体チップの断面図である。第五の実施例と同様に、低濃** 変のp 型のシリコン基板1の上に厚さ100 n m程度の SiO, 幅2が形成されており、その上に収さ50nm 例でも二つのNMOSトランジスタが値列接続されてい と同じである。この構造では、ゲート質極7下部のSi 02 陽2とシリコン基板1の界面近傍にのみ、頃さ50 0 n m程度の高減度p 型領域11が形成されている。出 **力強子21金のトランジスタのドレイン5の私圧が上井 タのソース4(接地端子22頃のトランジスタのドレイ** の低いシリコン基板1側には空芝屋23が広がる。とこ ろが、各トランジスタのゲート電極1の下部には高級度 のp型領域11が存在するため、空芝増13と53(シ リコン基板1側の単位変化)の影響はチャネル領域14 には金く及ばない。この例では、ドレイン5下部のシリ コン基板1側には空乏増13と23が広がるため、ドレ るが、各トランジスタ部の構造は第四の実施例 (図1) イン省生容量を第五の実施例よりもさらに低減できる、 という特徴がある。

 [0030] 図11に示した構造を有するトランジスタ (CMOS基本回路) の製造方法を、図12-図15を 用いて拠明する。 [0031] この例で用いているSOI及板は、低速度(10<sup>15</sup>cm-程度)のp型シリコン基板1の上に厚き90nm程度のSiO₂ थ2が形成され、その上に厚き50nm程度の単結品シリコン**凶**3が形成された構造に50nm程度の単結品シリコン**凶**3が形成された構造に

【のの32】次に、通常のフィトリングラフィー技術を 用いて場子分離的場のパターニングを行なう。最予的 前域となる部分の配化数26キドライエッナングによう て係去した後、煮予分離領域となる部分の単結出シリコン場3を熱酸化して無酸化酸27を形成する。この無能 化版27の以そは、その底部が5;0<sub>2</sub> %2と一体化して各トランジスタが超気的に分離されるように疑定する。この例の場合には、熱値化版27の厚さは200m円接近に接近してある(正程)。 【0033】加熱したリン酸溶液で望化版26を除去し、布釈したフッ酸溶液で熱催化版25年除去した後、フォトリングラフィー技術を用いてNMOSトランジスタ話となる領域28にのみフォトレジスト29を残す。このフォトレジストをマスクにしてPMOSトランジスタ話のシリコン基板1に、加速エネルギー300keV、注入量1×10<sup>112</sup>にm・程度の条件でリンイオン30を注入する。この注入条件は、目的とするnウェル構造によって変化させる事ができる(工程に)。

[0034] レジスト29を除去した後、単結晶シリコン協3の表面に厚き10nm程度の熱能化脱31を指摘し、し、その上に厚き10nm程度の配化脱32を推構し、その上に厚き30nm程度のCVD核化脱33を推作する。その後、例えば1000℃に1時間程度の勘路程を行なう中によって、PMOS前域のSiO2幅2の下

MACACA、II 当があるまずがあるという(1977)(「1978)(「1978)(「1978)(「1978))(エッナング技術を用いて、ゲート電池となる前線37のCVD依代版35、登代版34、及び熱館代版336条去し、単結晶シリコン場3の表面を露出させる(工程

「0036] 次に、NMOSトランジスタ語の表面だけ が貸出するようにフォトレジスト36 をパターニング し、NMOSトランジスタのゲート電低となる領域35 の下部のSiO2 ね2とシリコン基度1の穿近近傍にの み、例えば加速エネルギー100 ke Vで5 x 10 <sup>11</sup>c m "程度のポロンイオン37を注入する事によって為過 度p 監領域11を形成する。この前板の深さをより深く 8

1 の深さをある程度深くする場合には、イオン注入の加 **値)と同等以上にしておく必受がある。さらに、領域!** 連エネルギーを必要に応じて何段階かに変化させる事が 望ましい。 PMOSトランジスタ部についても同様であ 「ろためには。上記CVD磁化膜33の厚さを、領域1 1を形成するために行なうイオン注入の飛程 (の最大

[0037] (工程1)で説明したNMOSトランジス タ 部の高濃度 p 型領域と同様にして B M O S トランジス タ語の高濃度=型領域38を形成した後、露出している 単格晶シリコン層3の表面に厚さ10nm程度のゲート 徴化酸6を形成した後、ゲート段程度の厚さの高温度の 型多結晶シリコン版39を堆積する(工程 g)。

[0038] ドライエッチング技術を用いて上記多結晶 シリコン膜39の不要部分を除去す事によってゲート電 植りを形成した後、希釈フッ酸溶液を用いてCVD酸化 る。加熱したリン酸溶液を用いて窒化酸32を除去した 版33を除去する。この時、素子分離領域の酸化膜27 後、基出したゲート電極7の装面に厚さ50m軽度の とゲート酸化酸6は窒化酸32によって保護されてい **熱徴化版40を形成する (工程h)。** 

後、レジスト42をマスクにしたドライエッチング技術 を用いて素子分離領域の低化版21と501 基板の5; O<sub>1</sub> 層2をエッチングして、PMO Sトランジスタ領域 のシリコン基板1内部に形成したn型領域34の装面を [0039] 次に、通常のリングラフィー技術を用い て、コンタクトホール41のパターニングを行なった **1**出させる (工程:)。 [0040] 次に、フォトリングラフィー技術を用いて PMOSトランジスタ領域に形成したn 型領域34の電 りn型領域34の表面にもと業イオン44が注入される 例えば、加速エネルギー50keV、注入最5×10<sup>15</sup> はを固定するためのコンタクトホール43の内部、つま c E-iの発作でに載イオン14を指入してNMOSトラ レジスト43でPMOSトランジスタをマスクした後、 ンジスタのソース4とドレイン5を形成する。この時、

[0041] 同様にして、PMOSトランジスタのソー ス4、ドレイン5を形成する(工程k)。 [0042] 頃さ500nm程度の増間絶縁版45を形 近した後、ゲート電極1、ソース4、ドレイン5、及び 七の実施例(図11)と同じであるが、この例では、選 る。n型領域34は電機電位に固定される(工程1)。 [0043] 図16は本発明の第八の実施例を示す半導 体ナップの断面図である。トランジスアの基本構造は第 Rエピタキシャル成長技術を用いて、ソース・ドレイン 上記n型領域との接続部にコンタクトホールを形成し、 過去の金属配取技術を用いてアルミ配数46(扱勉箔 子)、47 (出力端子)、48 (礼原端子)を形成す

の単結晶シリコン層49を形成している。SOI基板の と、ソース・ドレインの寄生抵抗が着しく増加して電流 駆動能力が低下してしまうが、この単結晶層を形成する ことによって、この寄生抵抗の値を著しく低減できる効 ェル)のコンタクト部41にのみ、厚さ100nm程度 単結晶シリコン図3の厚さを50nm程度に設定する 果がある。 [0044] 図17を用いてこの構造の製造方法を説明 する。図12~図14に示した (工程a) から (工程 i) までの工程は共通である。

[0045] PMOSトランジスタ節のn型領域に、図 4の (工程1) と同じ方法でコンタクトホール41を 3成する (工程a)。

[0046] 通常の選択エピタキシャル成長技術を用い て、各トランジスタのソース・ドレイン領域と上記コン [0047] NMOS トランジスタ、PMOS トランジ 行ない、注入した不純物元素を括性化するための熱処理 タクトホール部41にのみ、厚さ100 n m程度の単結 スタのソース・ドレインを形成するためのイオン性入を 品シリコン層49を選択的に形成する (工程も)。

ン領域やゲート電極上面にチタン、コパルトなどの金属 シリサイドを形成したり、また、上記(工程b)におい て単結晶シリコン路49を形成する代わりに、タングス [0048] 上記 (工程c) において、ソース・ドレイ ソース・ドレインやゲート循極の寄生抵抗を著しく低減 テンなどの金属薄膜を選択的に成長する単によっても、 ミ配級を形成する (工程 c) 。

を行なった後、図15の(工程1)と同様にして、アル

体チップの断面図である。PMOSトランジスタ領域の SiO。 場2下部に不純物濃度の低いn型的域34を形 [0049] 図18は本発明の第九の実施例を示す半導 **吹する事など、全体的な構造は本発明の第七, 新人の実 施倒とほぼ同じであるが、この例では、高濃度不純物!** ソース・ドレイン領域の直下に形成している。またこの 州では、p型のシリコン基板1を用いているため、NM OSトランジスタのソース・ドレイン領域直下にはp型 の高温度不純物領域11全形成し、PMOSトランジス タのソース・ドレイン領域直下にはn型の高線度不純物 近域38を形成する単によって、不要な寄生容量の発生 **と防止している。上記高濃度不純物領域11と38の伝 専烈を逆にした場合(高道度不利的領域11を1型、高 遠度不純物領域38をp型にした場合)には、シリコン** 場板1の中に新たなp − n 接合が形成されるため、不要 な寄生容量が増加してしまう事になる。高濃度不純物質 1と38を各トランジスタのゲート電極下部ではなく、 こついて説明したように、ソース・ドレインを形成する 岐11と38は、本発明の第三の実施例 (図5, 図6) ためのイオン住人を行なう通常の製造工程において、イ できる中口置うまでもない。

に形成する配線の配置散計や構造散計には目的に応じた コン基板1の界面近傍の電位を所躍の値に固定するため さらに、各トランジスタ領域下邸のSiO<sub>2</sub> 幅 2 とシリ 不純物濃度の低いn型シリコン基板1を用いる場合にも 同様の構造が容易に実現できることは言うまでもない。 [0050] 本発明の第七,第八,第九の実施例では、 **不純物濃度の低い p 型シリコン基板 1 を用いているが** 

(発明の効果) 以上説明した用に本発明のSOI型半導 体装置は、SiO2 増とシリコン結板との氷回近伤の所 盤の位置に不純物濃度の高い領域を有しているため、ド レイン電圧の上昇によってシリコン基板側に形成される 駆動能力などの基本特性が向上する結果、回路動作速度 空乏層がチャネル領域下部にまで広がる事を抑制できる 圧、チャネル移動度などのパラメータが安定化して電液 が向上する、という効果を有する。基板濃度としては1 ましい。また、上記実施例で示した材料は適宜他の絶縁 俗や半導体材料、不純物におきかえることもできる。特 ×1011cm-1以上で初期の目的・効果が得られること に単格品シリコンの代わりに多格品シリコンでもよい。 が確認されたが、実用的には1×10<sup>11</sup>cm<sup>-1</sup>以上が好 ため、完全空乏化型SOIトランジスタのしきい値電

|図1| 本発明の第一の実施例を示す半導体チップの断 図面の簡単な説明】

[図2] 本発明の第一の大脑例に用いたSOI馬版の製 流方法を示す図である。

[凶3] 本発明の第二の実施例を示す半導体チップの断 面図である。

[図4] 本発明の第二の実施例に用いた501 基板の製 造方法を示す図である。

[図5] 本発明の第三の実施例の示す半導体チップの断 面図である。

[図6] 本発明の第三の実施例の製造方法を示す図であ

[図7] 本発明の第四の実施例を示す半導体チップの断 近図である。

[図8] 本発明の第四の実施例の製造方法を示す図であ

[図9] 本発明の第五の実施例を示す半導体チップの断 喧凶である。

[図10] 本発明の第六の実施例を示す半導体チップの 所面図である

[図11] 本発明の第七の実施例を示す半導体チップの 新面図である。 [図12] 本発明の第七の実施例の製造方法の一部を示

[図13] 本発明の算七の実施例の製造方法の他の一部

オン怪と加速エネルギーを改更する事によって容易に形

領域3及びPMOSトランジスタ路のn型領域(nーウ

【図14】本発明の第七の実施例の製造方法の他の一部 と示す図である。 [図15] 本発明の第七の実施例の製造方法はさらに他 [図16] 本発明の第八の実施例を示す半導体チップの の一部を示す図である。

新面因である。

|図17| 本発明の第八の実施例の製造方法を示す図で [図18] 本発明の第九の実施例を示す半導体チップの

自由度がある、という事も置うまでもない。

[0051]

[図20] SOI 基板上に作製されたNMOSトランジ [図19] SO1落版の例を示す図である。 スタの例を示す図である。 所面図である。

[図21] 動作状態にある完全空乏化型SOIトランジ スタと部分空芝化型SOIトランジスタの模式図であ

のドレインに転源亀圧が印出されて、ロ想ショコン基板 [図23] 寄生容量に充電されていた電荷が、直列撥段 された二つのNMOS/SOIトランジスタを介して放 [図22] 完全空乏化型NMOS/S01トランジスタ 瞬に空乏陽が形成されている状況を示す概念図である。 聞される過程を示す概念図である。

[存号の説明]

シリコン基板 SiOzw

単行語シュロン基

ソース

アトイン

ゲート絶縁数

ゲート観極

単格品ショコン各板A

単結晶シリコン基拠日 接合面

高速度 p 監領域

イオン准入

チャネル領域 交为權

条数化数

毀化數

フォトレジスト CVD做化版

ボロンイギン近人 ポロンイオン注入 0

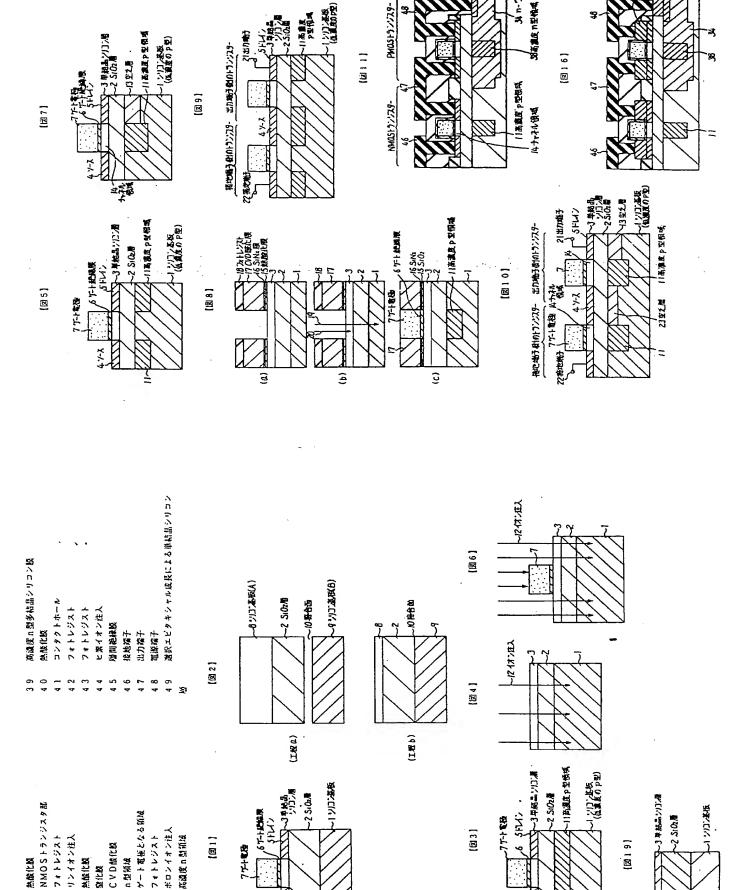
出力落子

提地端子 至之階

高温度n型領域

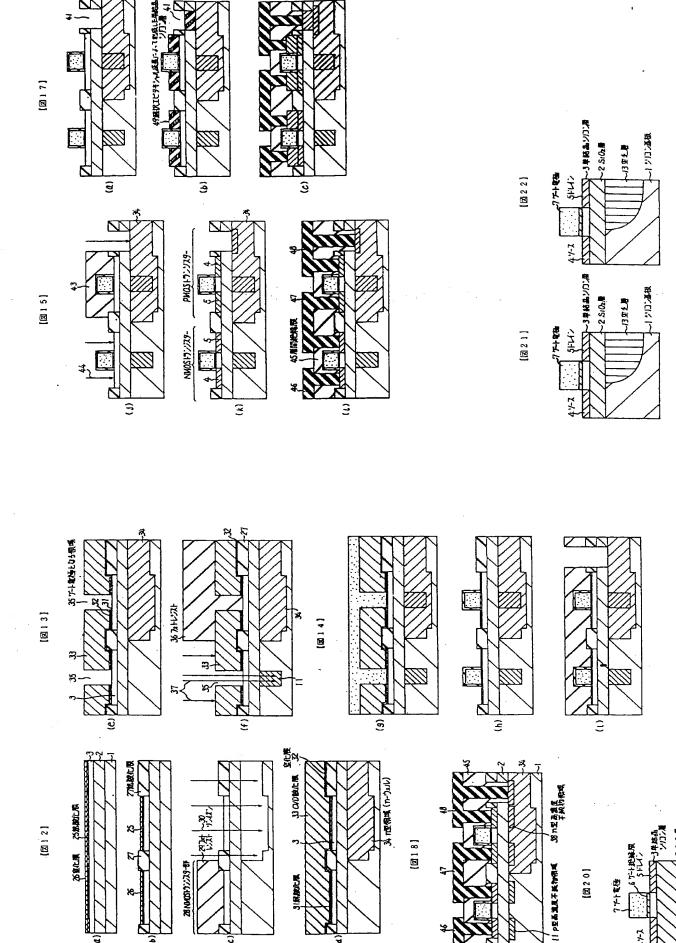
外核化数

2 3 2 9 3 0 22 E



4.7-7

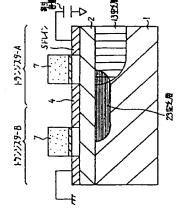
/開平8-32040



SHARRICH

フトトを極

[图23]



THIS PAGE BLANK (USPTO)